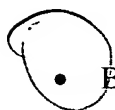


This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):



- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Partial English Translation of
Publication of Unexamined Utility Model Application
No. 4-82887

5

1. TITLE OF THE DEVICE

Assembly Structure of A Hybrid Integrated
Circuit

10 2. CLAIM OF UTILITY MODEL

(1) An assembly structure of a hybrid
integrated circuit in which structure a plurality of
hybrid integrated circuit boards are stacked in a
15 multistage manner, characterized in that at least
one of the hybrid integrated circuit boards serves
as a stack supporting wall.

3. DETAILED DESCRIPTION OF THE DEVICE

20 (translation omitted)

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a perspective view of a
plurality of circuit boards stacked in a multistage
25 manner in accordance with an assembly structure of a
hybrid integrated circuit according to an embodiment
of the present device;

FIG. 2 is a side view of the assembly
structure of a hybrid integrated circuit according
30 to the embodiment;

FIG. 3 is a partial enlarged cross-
sectional view of an assembly portion of a stack
supporting board and a supported board in the
assembly structure of a hybrid integrated circuit
35 according to the embodiment;

FIG. 4 is a side view of a plurality of
circuit boards stacked in a multistage manner in

accordance with an assembly structure of a hybrid integrated circuit according to another embodiment of the present device;

;

5 FIG. 5 is a partial enlarged cross-sectional view of an assembly portion of a stack supporting board and a supported board in the assembly structure of a hybrid integrated circuit according to the embodiment;

10 FIG. 6 is a perspective view of a plurality of circuit boards stacked in a multistage manner in accordance with an assembly structure of a hybrid integrated circuit according to another embodiment of the present device;

15 FIG. 7 is a side view of the assembly structure of a hybrid integrated circuit according to the embodiment;

 (A) and (B) in FIG. 8 are partial enlarged cross-sectional views of an assembly portion of a stack supporting board and a supported board in the assembly structure of a hybrid integrated circuit according to the embodiment;

20 (A) and (B) in FIG. 9 are partial enlarged cross-sectional views of another assembly portion of a stack supporting board and a supported board in the assembly structure of a hybrid integrated circuit according to the embodiment;

25 FIG. 10 is a perspective view of a plurality of circuit boards stacked in a multistage manner in accordance with an assembly structure of a hybrid integrated circuit according to another embodiment of the present device; and

30 FIG. 11 is a side view of a plurality of circuit boards stacked in a multistage manner according to a conventional assembly structure of a hybrid integrated circuit.

| | |
|----|--------------------------------------------|
| | 20 ... assembly structure of a hybrid |
| | integrated circuit |
| | 21 ... first circuit board |
| | 22 ... second circuit board |
| 5 | 23 ... third circuit board |
| | 24 ... electronic component |
| | 25 ... component mounting land |
| | 26 ... conductive pattern |
| | 34 ... U-shaped terminal |
| 10 | 35 ... U-shaped terminal fitting land |
| | 41 ... stack supporting circuit board |
| | 44 ... supporting board conductive pattern |
| | 45 ... U-shaped terminal supporting land |
| | 46 ... supporting board through hole |
| 15 | 51 ... main circuit board |

公開実用平成 4-82887

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑪ 公開実用新案公報(U) 平4-82887

⑫ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月20日

H 05 K 7/14
H 01 L 25/00
H 05 K 1/14

J 7301-4E
A 7638-4M
G 8727-4E

審査請求 未請求 請求項の数 4 (全 頁)

⑭ 考案の名称 混成集積回路の組立構造

⑮ 実 願 平2-125330

⑯ 出 願 平2(1990)11月28日

⑰ 考 案 者 木 村 武 夫 東京都台東区上野 6 丁目16番20号 太陽誘電株式会社内

⑱ 出 願 人 太陽誘電株式会社 東京都台東区上野 6 丁目16番20号

⑲ 代 理 人 弁理士 羽 島 亘

1. 考案の名称

混成集積回路の組立構造

2. 実用新案登録請求の範囲

(1) 複数の混成集積回路基板が多段状に重合されるように構成された混成集積回路の組立構造において、少なくとも一つの混成集積回路基板を重合支持壁としたことを特徴とする混成集積回路基板の組立構造。

(2) 前記重合支持壁となる混成集積回路基板面上に形成された端子搭載領域にコ字型端子を実装し、さらに、他の混成集積回路基板の端面部に形成された端子被着領域に該コ字型端子の嵌装部を嵌着することにより、複数の混成集積回路基板を多段状に重合するように構成したことを特徴とする請求項1記載の混成集積回路の組立構造。

(3)前記重合支持壁となる混成集積回路基板面上に形成された端子搭載領域に設けられた挿入支孔にY字型端子の挿入支を挿入実装し、さらに、他の混成集積回路基板の端面部に形成された端子被着領域に該Y字型端子の嵌装部を嵌着することにより、混成集積回路基板を多段状に重合するように構成したことを特徴とする請求項1記載の混成集積回路の組立構造。

(4)前記重合支持壁となる混成集積回路基板面上に形成された基板搭載領域に設けられた基板挿入孔に、他の混成集積回路基板の端面部に形成された基板被着領域を挿入実装することにより、混成集積回路基板を多段状に重合するように構成したことを特徴とする請求項1記載の混成集積回路の組立構造。

3. 考案の詳細な説明

(産業上の利用分野)

この考案は、電子機能毎に分割された複数の電子回路基板を多段状に重合構成した混成集積回路

の組立構造に関し、さらに詳細には、前記電子回路基板同士の重合支持並びに電気的信号接続を導電パターンが形成された重合支持電子回路基板にて行うことにより、該電子機能を実現するための設計の自由度の向上を図りつつ高集積化並びに高機能化を行った混成集積回路の組立構造に関するものである。

(従来の技術)

近年の電子機器製品においては、高機能化に併行して軽薄短小化傾向が顕著に見受けられる。

この志向に対応して、例えば電子機能毎に集積化し単体としての電子回路基板を構成し、該電子回路基板を複数多段状に重合することにより、高集積化並びに高機能化を図った組立構造が案出されており、該組立構造の従来例を、第11図を参照して説明する。

本構造における最上段に位置される第1回路基板1は、アルミナまたはガラスエポキシ等の材質を有しており、例えば前者のアルミナを使用した

場合には、圧膜印刷焼成法を適用して上面及び下面に導電物質よりなる導電パターン6を形成している。

該圧膜印刷焼成法とは、例えば導電並びにガラス粒子と有機溶剤とを混練した導電ペーストを、印刷マスクを介して前記導電パターン6に則ってシルク印刷し、該有機溶剤を乾燥揮発し、さらに焼成して該ガラスの溶融後接着を利用して、前記第1回路基板1の面上に導電パターン6を形成しようとするものである。

また、前記圧膜印刷焼成法を通じて、例えば圧膜抵抗及び保護ガラス層等も順次形成することができる。

前記導電パターン6には、後の電子機器機能の一端を担う抵抗、キャパシタまたはインダクタ等の受動素子或いは集積化演算増幅器または論理ゲート等の能動素子等の電子部品4が搭載される部品搭載ランド5が同時形成されている。

然るに、前記電子部品4は、該第1回路基板1の導電パターン6に搭載され、例えば半田ゴテ或

いはリフロー炉により所定の位置に半田固定される。

前記電子部品 4 の全てを第 1 回路基板 1 上に搭載（実装ともいう）することにより、前記電子機器の一機能を実現した混成集積回路が構成される。

また、本構造における中段及び最下段にそれぞれ位置する第 2 回路基板 2 及び第 3 回路基板 3 も、前記第 1 回路基板 1 と同様に電子部品 4 が実装されて一機能を各々有する混成集積回路に構成されている。

前記第 1 回路基板 1、第 2 回路基板 2 及び第 3 回路基板 3 には、各面に電子部品 4 が実装されていることより、それぞれ所定の空間を隔てて、該基板枚数に対応した F 型クリップ部を有するクリップリード 8 により支持されて、各基板が多段状に重合された構造をなしている。

前記クリップリード 8 は、該 F 型クリップ部を有するように例えば銅を一体成型し錫メッキを行うことにより形成されている。

従って、該クリップリード 8 の導電性を活用し

て、例えば前記各基板へ電源を供給する電源線とすることもできる。

上記の混成集積回路の組立構造10を有する電子回路基板群（単一体として解釈されるため、以下モジュールという）は、該クリップリード8を介して、これらに電源並びに処理信号等を入出力する主電子回路基板等（図示省略）に搭載される。

前記多段状に重合構成された各基板相互は、高度に密接な関係を有しており、従って図示しない例えば多くの信号線が集合された多芯ケーブル（以下ハーネスという）並びに該多芯ケーブルが接続される各基板上に設けられたコネクタ等を介してそれぞれの信号の授受を行い高度な電子処理を行っている。

（考案が解決しようとする課題）

しかしながら、上記従来の混成集積回路の組立構造によれば、多段状に重合構成された複数の基板相互において高度に密接な関係を有して電氣的に接続される必要があるが、該各基板同士を支持

するとともに電氣的に連結するクリップリード単体では単一の信号送受を行い得るにすぎず、例えば電源供給線としての適用等を除いて、前記密接な接続を行うことが困難であり、従って前記各基板が有する機能に対応した電氣的信号を送受することができないという問題点があった。

また、仮に各基板同士の電氣的信号数等に相当する多数本の該クリップリードを、該各基板の四方端部に設けたとしても、該クリップリード毎に搭載ランドを形成する必要がある、このことは各基板面における導体パターン設計に多大な制約を課すことはもとより、該搭載ランドに相当する面実装面積の損失を招くとともに、該クリップリードの材料費が増大するという問題点があった。

さらに、前記各基板同士を、該基板に搭載したコネクタとハーネスとにより電氣的に接続すると、該コネクタの占有面積並びに該ハーネスの余剰占有空間の存在により、結果的にモジュール単位として小型薄型化することができないという問題点があった。

本考案は、上記事情に鑑みてなされたものであり、電子回路基板同士の重合支持並びに電気的信号接続を導電パターンが形成された重合支持電子回路基板にて行うことにより、該電子機能を実現するための設計の自由度の向上を図りつつ高集積化並びに高機能化を行った混成集積回路の組立構造を提供するものである。

(課題を解決するための手段)

上記目的を達成するために、この考案は、複数の混成集積回路基板が多段状に重合されるように構成された混成集積回路の組立構造において、少なくとも一つの混成集積回路基板を重合支持壁としたことにより、上記目的を達成するものである。

また、この考案は、前記重合支持壁となる混成集積回路基板面上に形成された端子搭載領域にコ字型端子を実装し、さらに、他の混成集積回路基板の端面部に形成された端子被着領域に該コ字型端子の嵌装部を嵌着することにより、複数の混成集積回路基板を多段状に重合するように構成した

ことにより、上記目的を達成するものである。

また、この考案は、前記重合支持壁となる混成集積回路基板面上に形成された端子搭載領域に設けられた挿入支孔にY字型端子の挿入支を挿入実装し、さらに、他の混成集積回路基板の端面部に形成された端子被着領域に該Y字型端子の嵌装部を嵌着することにより、混成集積回路基板を多段状に重合するように構成したことにより、上記目的を達成するものである。

さらに、この考案は、前記重合支持壁となる混成集積回路基板面上に形成された基板搭載領域に設けられた基板挿入孔に、他の混成集積回路基板の端面部に形成された基板被着領域を挿入実装することにより、混成集積回路基板を多段状に重合するように構成したことにより、上記目的を達成するものである。

(作用)

本考案においては、少なくとも一つの混成集積回路基板を重合支持壁として、複数の混成集積回

路基板が多段状に重合されるように構成しているため、該重合支持回路基板に形成された導電パターンを活用して多段状に重合構成された各回路基板同士或いは上記モジュールが搭載される主基板との高度且つ密接なる電氣的接続を容易に行うことができる。

また、前記重合支持回路基板に形成された導電パターンを任意且つ自在にパターンニングすることができるため、設計の自由度が向上し、従って多岐に渡る機能仕様並びに急遽変更される仕様等に柔軟に対応することができる。

さらに、前記モジュールが高機能化されるにともない電氣的接続量が増加されても、前記重合支持回路基板を増設して、該基板面に形成された導電パターンにより該電氣的接続に対応することができる。

(実施例)

本考案の実施例を、図面に基いて詳細に説明する。

第1図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された実施例を示す斜視図、第2図は同実施例の混成集積回路の組立構造を示す側面図、第3図は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、第4図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された他の実施例を示す側面図、第5図は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、第6図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された他の実施例を示す斜視図、第7図は同実施例の混成集積回路の組立構造を示す側面図、第8図(a)及び(b)は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、第9図(a)及び(b)は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との他の組立部を示す一部

拡大断面図、第10図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された他の実施例を示す斜視図が示されている。

請求項1及び請求項2に係わる混成集積回路の組立構造20を、第1図から第3図を参照して説明する。

本構造における最上段に位置される第1回路基板21は、アルミナ或いはガラスエポキシ等の材質が利用されるが、従来の構造において説明したように、圧膜印刷焼成法の適用目的に一般的に合致するアルミナを材質とした場合を想定して説明する。

該第1回路基板21の各面には、電子回路機能における機能を実現するための電子素子同士を電気的に接続する導電パターン26が、前記圧膜印刷焼成法により、例えば導電粒子並びにガラス粒子を有機溶剤とともに混練した導電ペーストを、パターン印刷し、乾燥し、焼成することにより形成されている。

前記第1回路基板21には、所定箇所に小孔が開口されており、前記圧膜印刷焼成法における印刷工程にて、該基板の印刷反対面側より空気吸引を行いつつ該印刷を施すことにより、該第1回路基板21の各面を電氣的に接続するスルーホール36が形成されている。

また、前記導電パターン26の各端部等には、各種電子機能を実現する例えば抵抗、インダクタまたはキャパシタ等の受動部品並びにトランジスタまたは演算増幅器等の能動部品等の電子部品24が搭載される部品搭載ランド25が形成されている。

さらに、前記導電パターン26の各端部等であって該第1回路基板21の前端部には、後述する多段状の組立構造に関与するコ字型端子嵌装ランド35が好ましくは所定の間隔を有して形成され、一方該第1回路基板21の後端部には、同じく後述する構造を有するクリップリード28が搭載されるクリップ搭載ランド29が形成されている。

なお、該第1回路基板21の各面には、図示し

ない圧膜抵抗等或いは保護ガラス層等が前記圧膜印刷焼成法により形成されていてもよい。

前記部品搭載ランド25には、例えばペースト状の半田27が塗布され、該電子部品24が搭載されて、加熱炉を通過させることにより半田固定されている。

また、前記クリップ搭載ランド29には、F型クリップ部を例えば三段有するように銅等より一体成型され錫メッキが施されたクリップリード28の最上段のF型クリップ部が嵌装搭載されて、前記同様に半田27により半田固定されている。

さらに、前記コ字型端子嵌装ランド35には、後述するコ字型端子34の嵌装部34aが嵌装搭載されて、前記同様に半田27により半田固定されている。

前記第1回路基板21には、必要に応じて各面に部品が実装され、しかも前記各種ランドが形成されており、該ランドには前記クリップリード28及びコ字型端子34がそれぞれ実装されていてもよい。

上記のように構成された第1回路基板21は、最上段に位置されるとともに、該第1回路基板21と同様の構成を有する第2回路基板22及び第3回路基板23はそれぞれ中段及び最下段に位置されている。

前記第1回路基板21、第2回路基板22及び第3回路基板23は、各基板の後方部において前記クリップリード28が嵌装されることにより、多段状に仮固定されている。

一方、前記基板と同様の構成を有する重合支持回路基板41には、前記圧膜印刷焼成法により各面に支持基板導電パターン44が形成されるとともに、該基板の各面を電気的に接続するための支持基板スルーホール46が形成されている。

また、該重合支持回路基板41の下端部には、所定の間隔を有する主基板端子ランド47が形成されており、本構造がモジュールをなした際に搭載される主回路基板51に形成された主基板端子搭載ランド57に、略L型を有する主基板接続端子48を使用し半田27等により半田固定される。

前記重合支持回路基板 4 1 は、第 1 図及び第 2 図に示されるように、第 1 回路基板 2 1、第 2 回路基板 2 2 及び第 3 回路基板 2 3 が多段状に重合構造をなすように前記クリップリード 2 8 とともに、重合支持側壁として設けられており、該重合側壁としての支持構造の一つを第 3 図を参照して説明する。

前記第 1 回路基板 2 1 の各面且つ端部には、前記コ字型端子嵌装ランド 3 5 が形成されている。

また、前記重合支持回路基板 4 1 には、各面を電氣的に接続する支持基板スルーホール 4 6 が形成されており、前記第 1 回路基板 2 1 が支持される該当面には、該支持基板スルーホール 4 6 より延設されたコ字型端子支持ランド 4 5 が形成されている。

該コ字型端子支持ランド 4 5 には、略コの字形状（先方が狭くなり嵌装突起等が形成されたものもある）をなすように銅等より一体成型され銅メッキ等が施されたコ字型端子 3 4 の基端面部 3 4 b が搭載され半田 2 7 により半田固定されている。

一方、該コ字型端子 3 4 の嵌装部 3 4 a には、前記第 1 回路基板 2 1 のコ字型端子嵌装ランド 3 5 が嵌装されて、同様に半田 2 7 により半田固定されている。

このことにより、前記第 1 回路基板 2 1 は、該重合支持回路基板 4 1 を重合支持側壁として支持固定されたこととなる。

この際、該支持固定に関する半田固定においては、例えばコ字型端子嵌装ランド 3 5 に使用する半田の溶融温度をコ字型端子支持ランド 4 5 に使用する半田の溶融温度よりも低温である半田を使用することにより、順次組上げ加熱を行うことができる。

上記の混成集積回路の組立構造 2 0 によれば、第 1 回路基板 2 1、第 2 回路基板 2 2 及び第 3 回路基板 2 3 を多段状に重合構成とするために、前記重合支持回路基板 4 1 を支持側壁としているため、該重合支持回路基板 4 1 に形成された支持基板導電パターン 4 4 により前記第 1 回路基板 2 1、第 2 回路基板 2 2 及び第 3 回路基板 2 3 同士の高

度且つ密接なる電気信号の送受を行うことができるようになる。

また、前記重合支持回路基板 41 は、各基板をモジュールとして組立る際に各種選択支を設定しておき、該選択等により支持基板導電パターン 44 を任意且つ容易に変更等可能に構成することができるため、電子機能等を混成集積回路化する際の設計の自由度を向上させることができる。

さらに、比較的大きい占有面積を有するコネクタ及び該コネクタに連結されるハーネス等が不要になり、しかも重合支持側壁としての重合支持回路基板 41 にも電子部品 24 を実装しているため、実質的な部品実装面積が大きくなり、従って高集積化並びに実装効率を向上することができるとともに、モジュールとして同一容積を有するならばより高機能化を実現することができる。

なお、前記重合支持回路基板 41 には、回路機能を付加しない導電パターンを形成し、例えばバイパスコンデンサ或いはプルアップ抵抗等を搭載した構成としてもよい。

次に、請求項 1 及び請求項 3 に係わる混成集積回路の組立構造 60 を第 4 図及び第 5 図を参照して説明する。

なお、同一箇所並びに同一機能を有する箇所には同一符号を付して説明を省略する。

重合支持回路基板 61 は、第 4 図に示されるように、第 1 回路基板 21、第 2 回路基板 22 及び第 3 回路基板 23 が多段状に重合構造をなすように前記クリップリード 28 とともに、重合支持側壁として設けられており、該重合側壁としての支持構造の一つを第 5 図を参照して説明する。

前記第 1 回路基板 21 の各面且つ端部には、Y 字型端子嵌装ランド 65 が形成されている。

また、前記重合支持回路基板 61 には、各面を電氣的に接続する支持スルーホール 66 が形成されている。

該支持スルーホール 66 には、略 Y 字型形状をなすように銅等より一体成型され錫メッキ等が施された Y 字型端子 64 の挿入支 64b が挿入されて、Y 字型端子支持ランド 67 とともに半田 27

により半田固定されている。

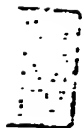
一方、該 Y 字型端子 6 4 の嵌装部 6 4 a には、前記第 1 回路基板 2 1 の Y 字型端子嵌装ランド 6 5 が嵌装されて、同様に半田 2 7 により半田固定されている。

このことにより、前記第 1 回路基板 2 1 は、該重合支持回路基板 6 1 を重合支持側壁として支持固定されたこととなる。

次に、請求項 1 及び請求項 4 に係わる混成集積回路の組立構造 7 0 を第 6 図から第 9 図 (a) 及び (b) を参照して説明する。

なお、同一箇所並びに同一機能を有する箇所には同一符号を付して説明を省略する。

重合支持回路基板 8 1 は、第 6 図及び第 7 図に示されるように、第 1 回路基板 2 1、第 2 回路基板 2 2 及び第 3 回路基板 2 3 が多段状に重合構造をなすように前記クリップリード 2 8 とともに、重合支持側壁として設けられており、該重合側壁としての支持構造の一つを第 8 図 (a) を参照して説明する。



第1回路基板71の先方部には、第1搭載凸部76が突設されており、該第1搭載凸部76の各面且つ端部には、凸部ランド75が形成されている。

さらに、前記第1回路基板71と同様に、第2回路基板72及び第3回路基板73には、それぞれ第2挿入凸部77及び第3挿入凸部78が形成されている。

また、前記重合支持回路基板81には、該第1搭載凸部76、第2挿入凸部77及び第3挿入凸部78が挿着される重合支持孔82が各々開口形成されており、該開口部には重合支持孔ランド85が形成されている。

該重合支持孔82には、例えば第2挿入凸部77が挿着され、前記凸部ランド75と重合支持孔ランド85とが半田27により半田固定されることにより、前記第1回路基第2回路基板72は、該重合支持回路基板81を重合支持側壁として支持固定されたこととなる。

なお、同様の支持構造を有するとともに支持ス

ルーホール 86 が形成された例を、第 8 図 (a)、第 9 図 (a) 及び (b) に示す。

次に、請求項 1 に係わる混成集積回路の組立構造 90 を第 10 図を参照して説明する。

なお、同一箇所並びに同一機能を有する箇所には同一符号を付して説明を省略する。

前記モジュールが高機能化された場合において、第 1 重合支持回路基板 91 の他に、第 2 重合支持回路基板 92 を設けたものであり、電気的接続量が増加しても、前記回路基板を増設して、該基板面に形成された導電パターンにより該電気的接続に対応している。

なお、本構造における重合支持回路基板には、多層化配線が行われたものを使用してもよい。

さらに、前記重合支持回路基板に搭載される電子部品の中で、例えば頭部側に該部品機能を調整する調整部が付加されている場合においては、該重合支持回路基板の部品搭載面が横方向をなすことより、上下面部に設けられた障害物等に関係なく該電子部品の調整を行うことができる。

(考案の効果)

本考案に係わる混成集積回路の組立構造は、上記のように構成されているため、以下に記載するような効果を有する。

(1)少なくとも一つの混成集積回路基板を重合支持壁として、複数の混成集積回路基板が多段状に重合されるように構成しているため、該重合支持回路基板に形成された導電パターンを活用して多段状に重合構成された各回路基板同士或いは上記モジュールが搭載される主基板との高度且つ密接なる電氣的接続を容易に行うことができるという優れた効果を有する。

(2)前記重合支持回路基板に形成された導電パターンを任意且つ自在にパターニングすることができるため、設計の自由度が向上し、従って多岐に渡る機能仕様並びに急速変更される仕様等に柔軟に対応することができるという優れた効果を有する。

(3)前記モジュールが高機能化されるにともない電氣的接続量が増加されても、前記重合支持回

路基板を増設して、該基板面に形成された導電パターンにより該電氣的接続に対応することができるといふ優れた効果を有する。

4. 図面の簡単な説明

第1図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された実施例を示す斜視図、

第2図は同実施例の混成集積回路の組立構造を示す側面図、

第3図は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、

第4図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された他の実施例を示す側面図、

第5図は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、

第6図は本考案に係わる混成集積回路の組立構

造により複数の回路基板が多段状に重合構成された他の実施例を示す斜視図、

第7図は同実施例の混成集積回路の組立構造を示す側面図、

第8図(a)及び(b)は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との組立部を示す一部拡大断面図、

第9図(a)及び(b)は同実施例の混成集積回路の組立構造における重合支持基板と被支持基板との他の組立部を示す一部拡大断面図、

第10図は本考案に係わる混成集積回路の組立構造により複数の回路基板が多段状に重合構成された他の実施例を示す斜視図、

第11図は従来の混成集積回路の組立構造により複数の回路基板が多段状に重合構成された状態を示す側面図である。

20・・・混成集積回路の組立構造、

21・・・第1回路基板、

22・・・第2回路基板、

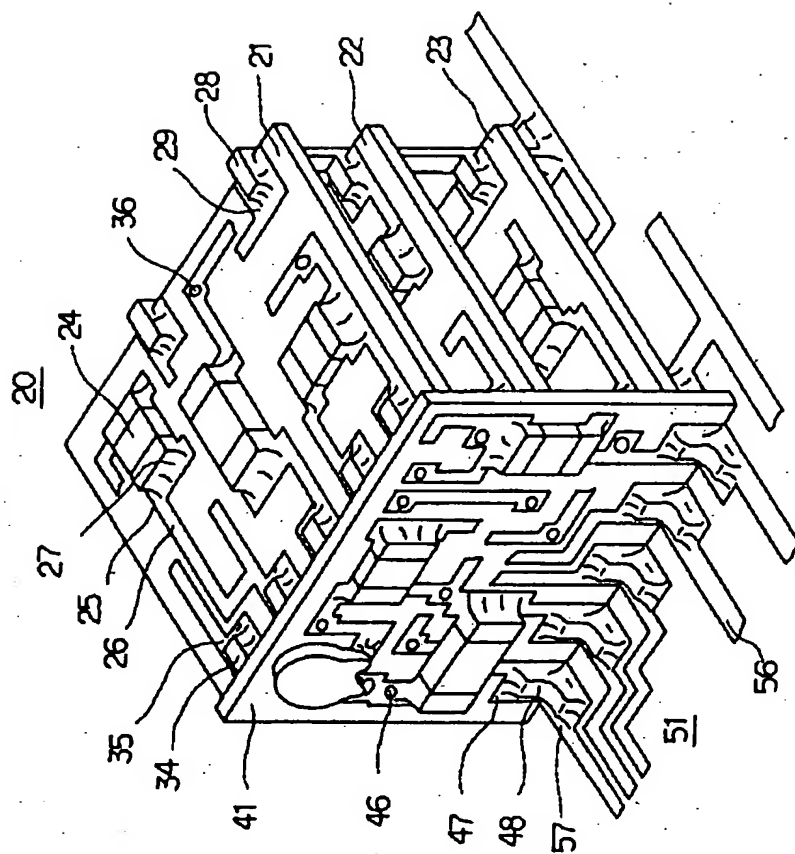
- 2 3 . . . 第 3 回路基板、
- 2 4 . . . 電子部品、
- 2 5 . . . 部品搭載ランド、
- 2 6 . . . 導電パターン、
- 3 4 . . . コ字型端子、
- 3 5 . . . コ字型端子嵌装ランド、
- 4 1 . . . 重合支持回路基板、
- 4 4 . . . 支持基板導電パターン、
- 4 5 . . . コ字型端子支持ランド、
- 4 6 . . . 支持基板スルーホール、
- 5 1 . . . 主回路基板、

実用新案登録出願人 太陽誘電株式会社

代 理 人 弁 理 士 羽 鳥 亘



第1図



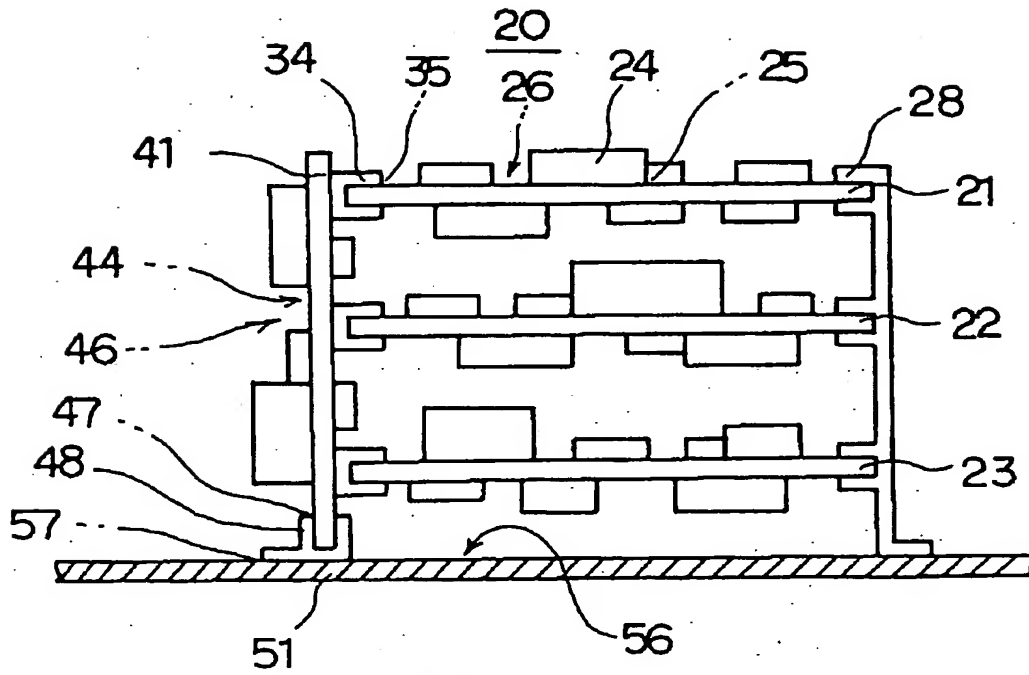
- 20... 完成回路の組立構造 34... コ字型端子
 21... 第1回路基板 35... コ字型端子装着ランド
 22... 第2回路基板 41... 集合支持回路基板
 23... 第3回路基板 44... 支持基板薄電パターン
 24... 電子部品 45... コ字型端子支持ランド
 25... 部品格納ランド 46... 支持基板スルーホール
 26... 薄電パターン 51... 主回路基板

代理人 井理士 羽 良 直

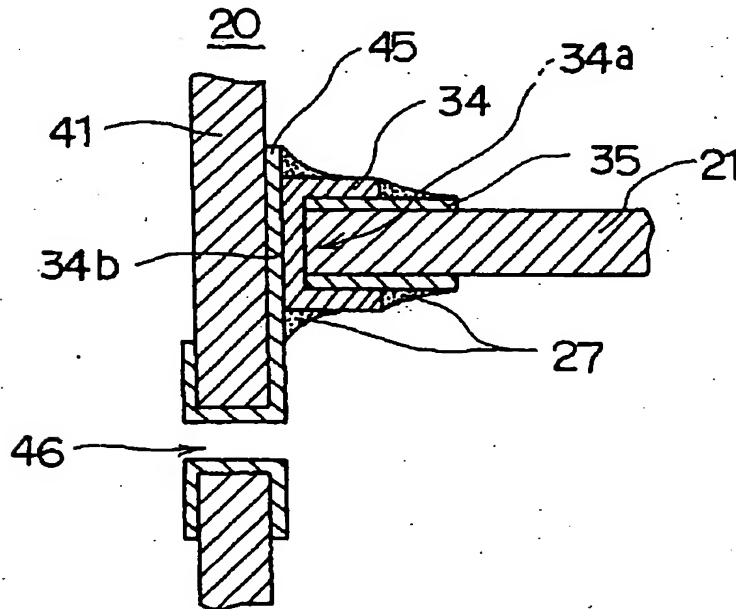
973

字開J- 82887

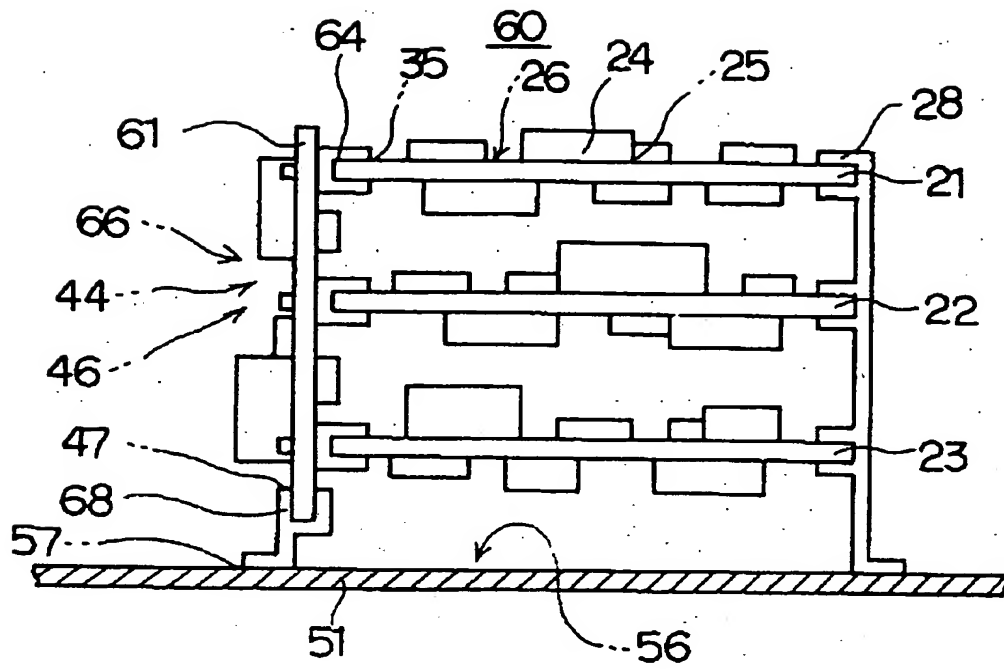
第 2 図



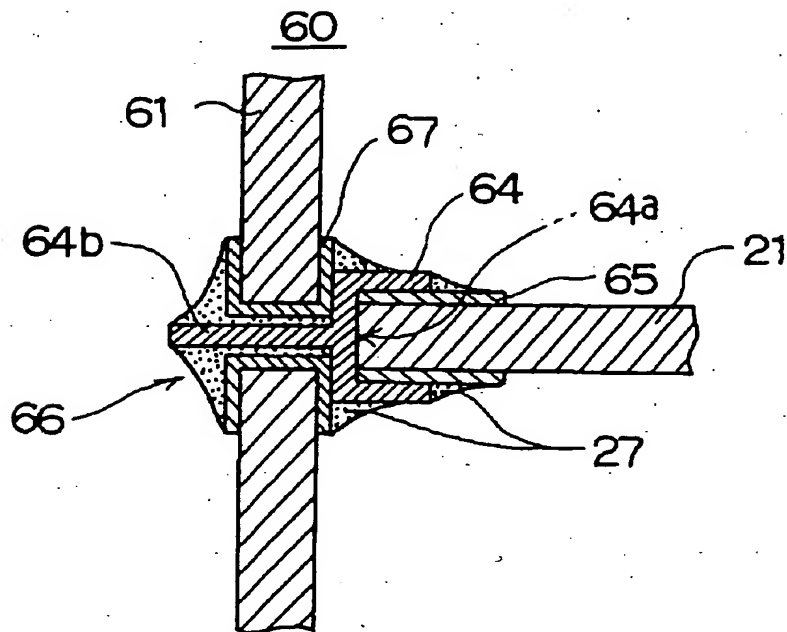
第 3 図



第 4 図



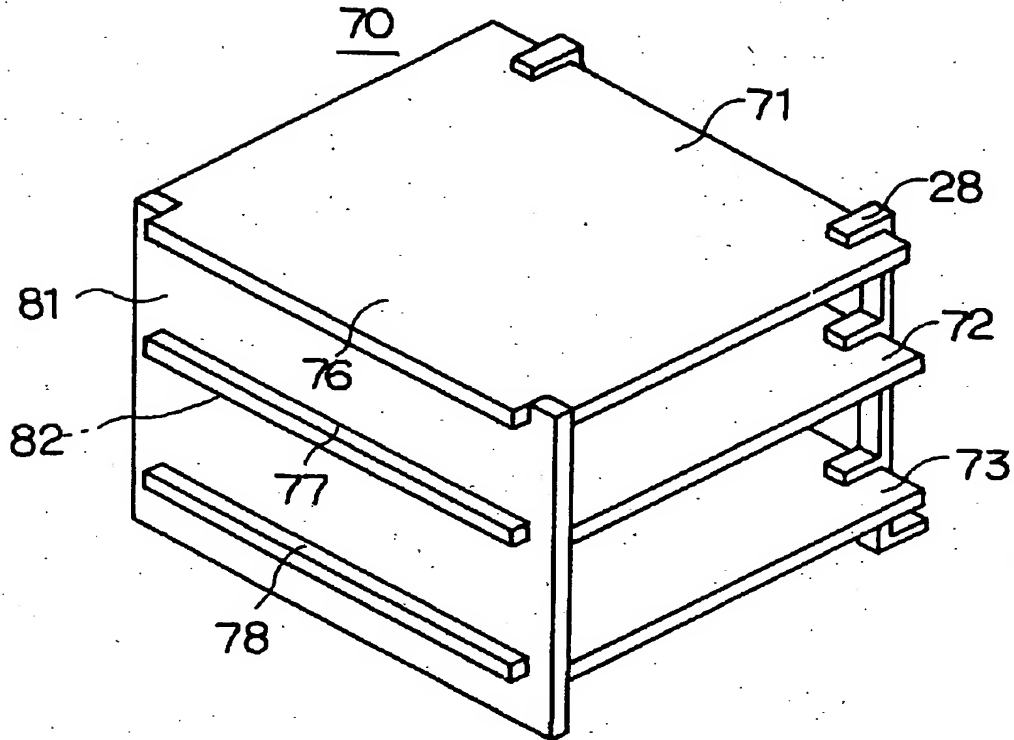
第 5 図



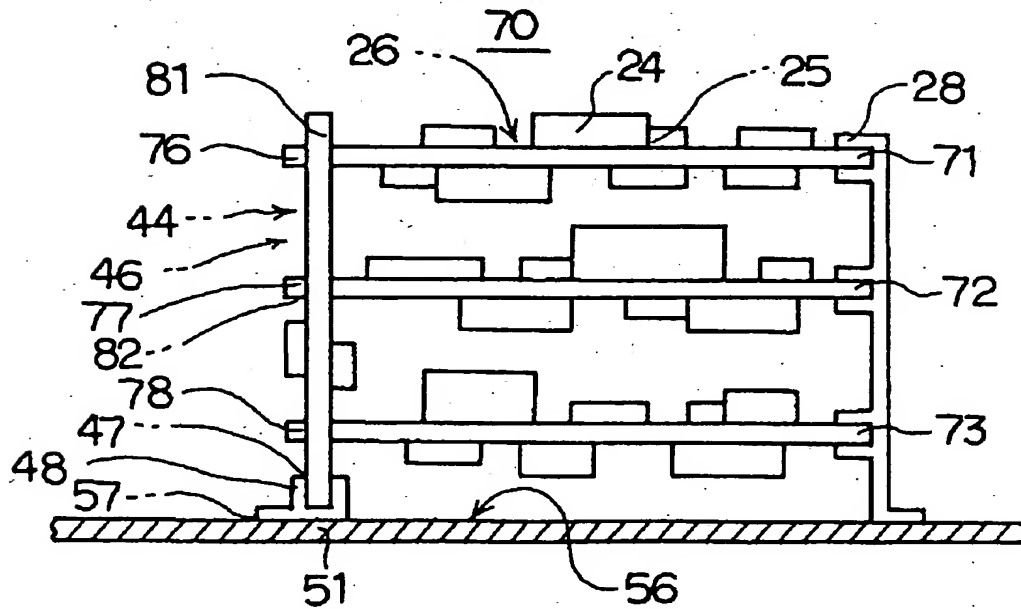
975 実開 4 - 82887

代理人 井理士 羽鳥 亘

第 6 図

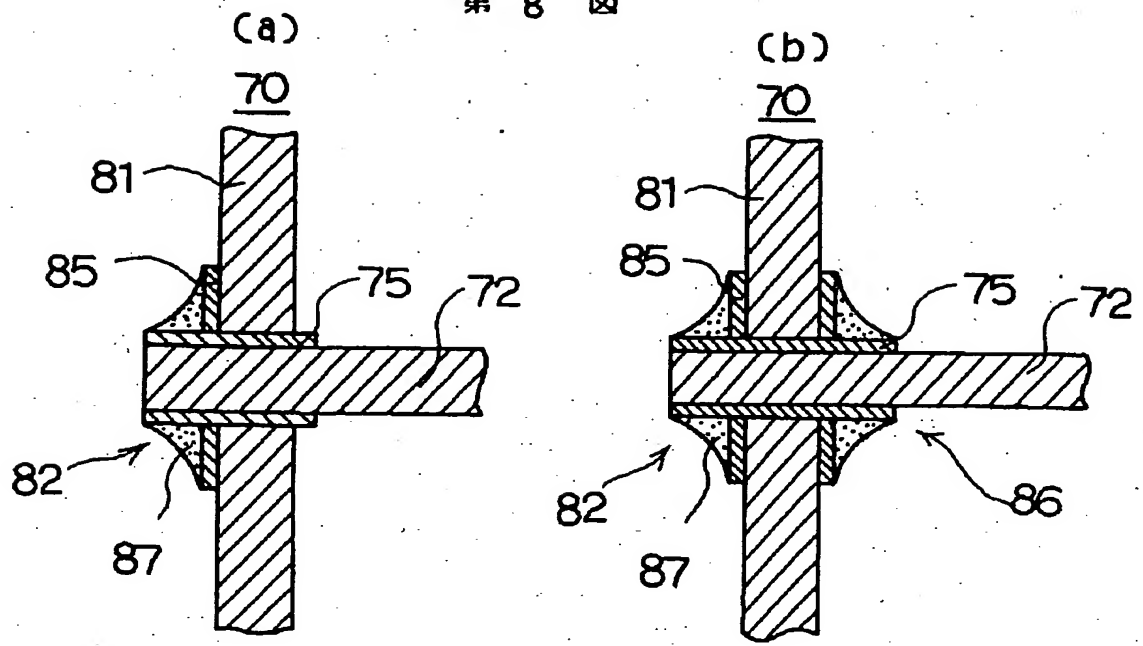


第 7 図

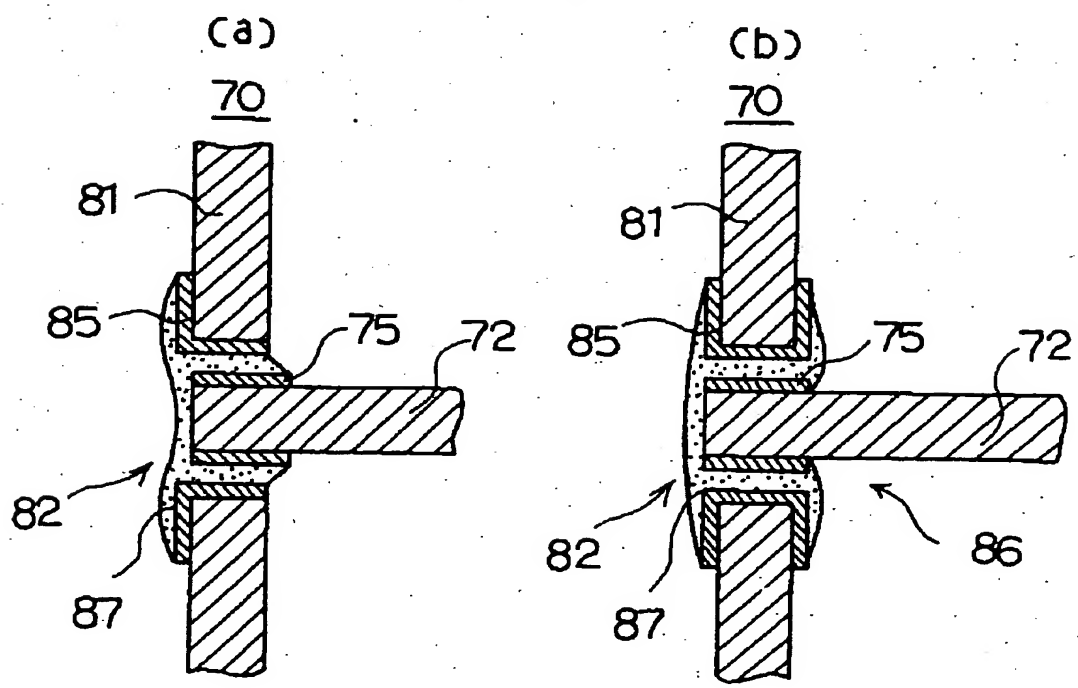


976

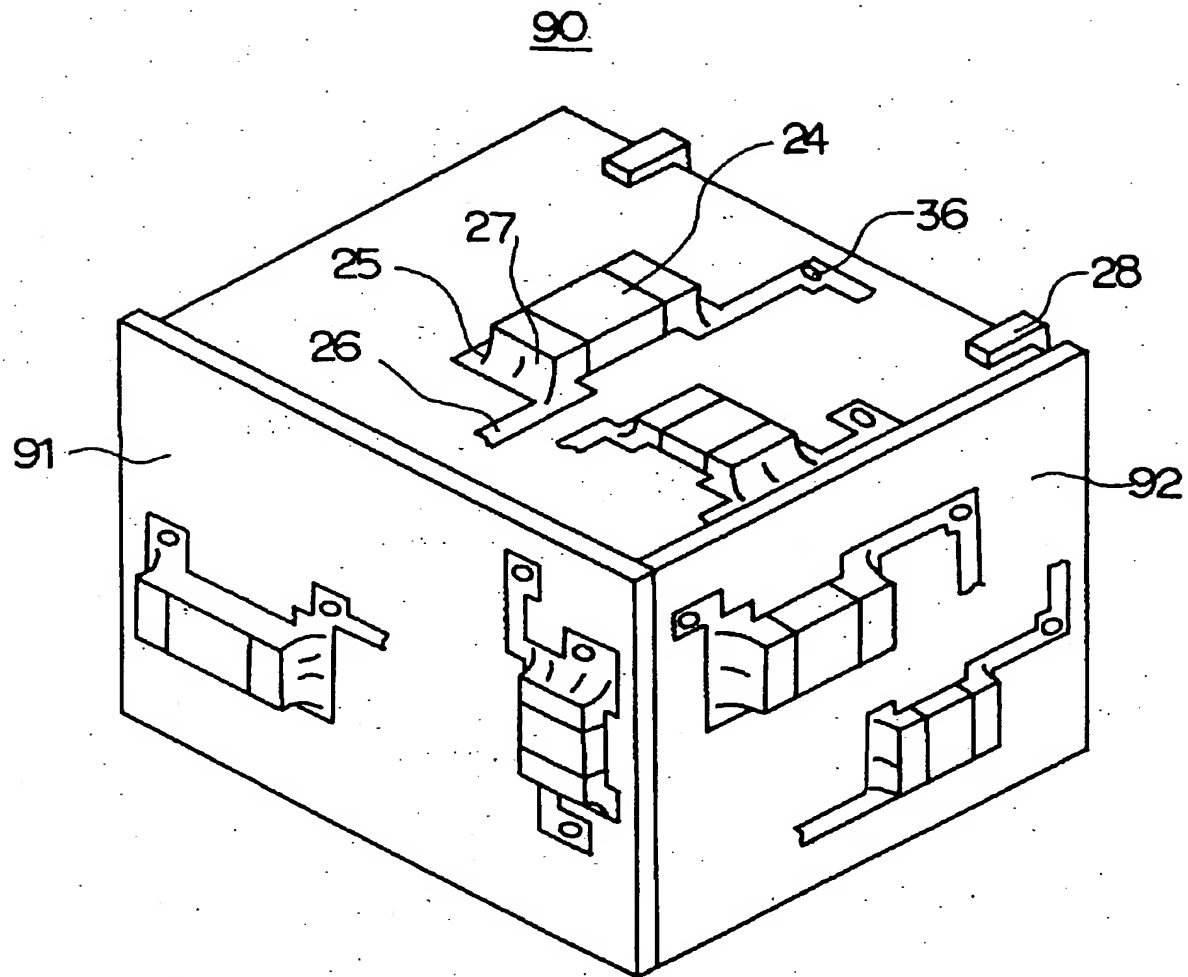
第 8 圖



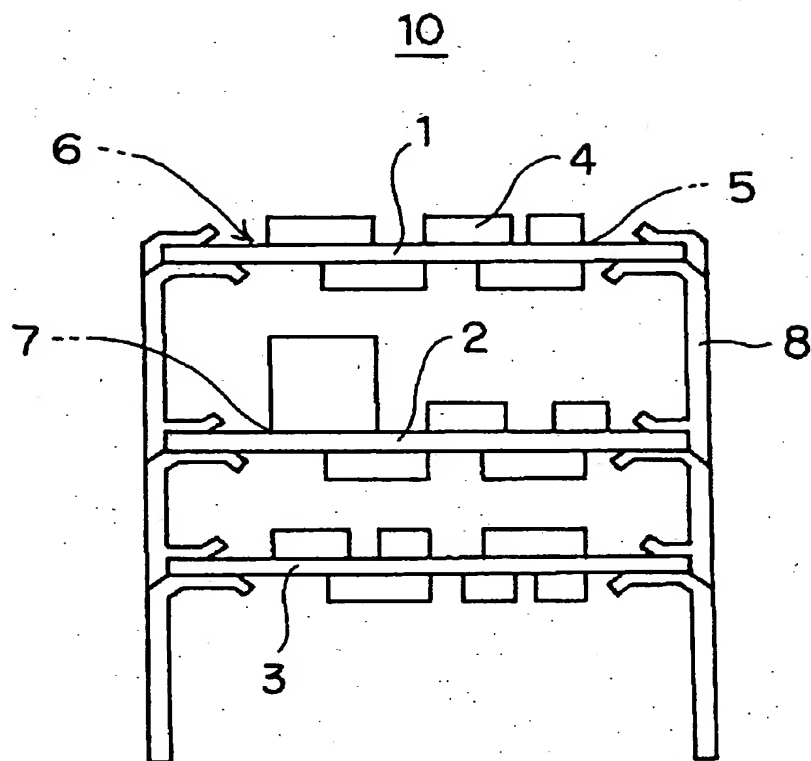
第 9 圖



第 10 図



第 11 図



979 実開 4 - 82887

代理人 井 野 十 羽 鳥 巨